

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-307431

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H01L 21/027

G03F 7/20

H01L 21/3205

(21)Application number : 10-113597

(71)Applicant : SONY CORP

(22)Date of filing : 23.04.1998

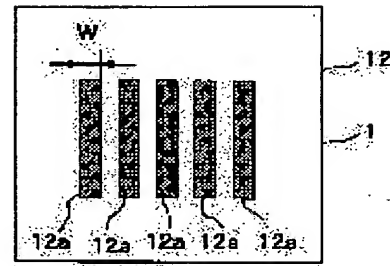
(72)Inventor : KAMIYA MASAYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve exposure of a wire pattern having a target width, by detecting a fluctuation amount of a focus position in accordance with a difference between widths of two wire patterns, and detecting a fluctuation amount of an exposure amount in accordance with a difference between a width of at least one of the wire patterns and a predetermined width of a wire.

SOLUTION: As a management pattern 1, a first management pattern 12 is provided, in which wire patterns 12a are densely exposed with regular spaces, and a second management pattern is provided, in which wire patterns are roughly exposed. As in the case of the first and second management patterns, when sensitivity fluctuates due to different wire patterns, a width of a wire is not affected. However, when a focus changes, an error appears in a width of a wire. Therefore, by using the error, a correction amount is fed back to exposing conditions. Namely, in order to correct fluctuation of a wire width of the wire pattern, a focus and/or exposure amount is controlled so as to correct an error of a wire width of the wire pattern.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the manufacture approach of a semiconductor device of manufacturing a semiconductor device by amending and exposing exposure conditions in order to form in a semiconductor substrate the circuit pattern which constitutes the circuit decided beforehand. Are arranged so that it may become fixed spacing, and fluctuation of the light exposure to a semiconductor substrate affects wiring width of face. The 1st exposure managed pattern which has the circuit pattern arranged so that fluctuation of the focal location at the time of exposing to a semiconductor substrate may not affect wiring width of face, The 1st step which exposes the 2nd exposure managed pattern which has the circuit pattern which is arranged at different spacing from the circuit pattern of the 1st exposure managed pattern, and is arranged so that each fluctuation of light exposure and a focal location may affect wiring width of face to a semi-conductor substrate, The 2nd step which measures the wiring width of face of the circuit pattern of the 1st circuit pattern exposed on the substrate with the 1st management exposure pattern and the 2nd management exposure pattern, and each 2nd circuit pattern, The 3rd step which detects the amount of fluctuation of a focal location based on the difference of the wiring width of face of each circuit pattern of the 1st circuit pattern and the 2nd circuit pattern, The manufacture approach of the semiconductor device characterized by having the 4th step which detects the amount of fluctuation of light exposure based on the difference of the wiring width of face of at least one circuit pattern of the 1st circuit pattern and the 2nd circuit pattern, and the wiring width of face which should be exposed essentially, and which was set up beforehand.

[Claim 2] It is the manufacture approach of a semiconductor device according to claim 1 that the 2nd exposure managed pattern is a **** exposure pattern which exposes at least one circuit pattern, and the circuit pattern is densely arranged from the 2nd circuit pattern, as for the 1st managed pattern.

[Claim 3] The manufacture approach of a semiconductor device according to claim 1 of having the 6th step which amends light exposure based on the difference of the 5th step which amends a focal location based on the difference of each wiring width of face of the 1st circuit pattern and the 2nd circuit pattern, the wiring width of face of at least one circuit pattern of the 1st circuit pattern and the 2nd circuit pattern, and the wiring width of face which should be exposed essentially, and which was set up beforehand.

[Claim 4] The manufacture approach of the semiconductor device according to claim 3 which

determines the amount of amendments based on the table beforehand prepared at the 5th step from the amount of fluctuation of the focal location measured at the 3rd step, and amends a focal location.

[Claim 5] The manufacture approach of the semiconductor device according to claim 3 which determines the amount of amendments based on the table beforehand prepared at the 6th step from the amount of fluctuation of the light exposure measured at the 4th step, and amends light exposure.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device of exposing the circuit pattern which forms the circuit decided beforehand, for example to a semi-conductor substrate, and manufacturing a semiconductor device.

[0002]

[Description of the Prior Art] It is built in electronic equipment and IC (Integrated Circuit) as a semiconductor device which has an electronic circuitry serves as an existence indispensable to a miniaturization and advanced features of electronic equipment today. After IC's exposing the exposure pattern for exposing the circuit decided beforehand to the semi-conductor substrate which makes silicon etc. the quality of the material and forming a circuit pattern, IC is manufactured through predetermined processes, such as a development process. In order to make the wiring width of face aiming at the wiring width of face of a circuit pattern, in formation of this circuit pattern, it is necessary to feed back the focal location (henceforth a focus (Focus)) as a distance to the semi-conductor substrate changed at the time of manufacture, and the amount of amendments of the amount of sensibility fluctuation (for sensibility to be hereafter amended by amend light exposure) to an aligner, and to make exposure conditions the optimal.

[0003] In order to determine the exposure conditions for exposing the circuit pattern which constitutes a circuit as the conventional exposure approach, before manufacturing IC as a product, the method of performing test sample exposure is taken. the activity (the following -- " -- condition appearance -- carrying out -- " -- ** -- it says) which computes the optimal amount of amendments by computing the focus and the amount of sensibility fluctuation which were fluctuated while shifting gradually the focus and exposure energy (henceforth light exposure) of an aligner in advance was required of this approach. Performing this condition **** in a production process had become the cause of inducing aggravation of TAT (Turn Around Time) with the increment in a man day.

[0004] Moreover, there is a method of not performing condition **** mentioned above as the

another exposure approach in order to avoid aggravation of TAT. By this approach, exposure conditions are determined by predicting the exposure conditions of the semiconductor device which manages the inclination of sensibility change and is manufactured by supervising the wiring (result) width of face after the light exposure for every lot manufactured in the past, and exposure of a circuit pattern.

[0005] Drawing 12 is a flow chart which shows the still more nearly another conventional exposure approach. By the conventional exposure approach, the exposure pattern which has a predetermined circuit pattern on a semi-conductor substrate is exposed first (step ST 21). The wiring width of face of the exposed circuit pattern is measured (step ST 22). The error of the wiring width of face which should be exposed essentially, and the actually exposed wiring width of face is detected, and a sensibility gap is judged (step ST 23). If there is no sensibility gap, (O.K.) termination will be carried out (step ST 26), and amount of exposure amendments **E is computed from the error detected when there was a sensibility gap (step ST 24). This amount of exposure amendments **E amends light exposure (step ST 25).

[0006] from the light-exposure pair wiring width-of-face property beforehand grasped in order to drive into the wiring width of face (target line breadth of drawing 14) made into the target in the circuit pattern after exposing when fluctuation of substandard wiring width of face is checked in management of the inclination of this sensibility change (for example, lots 6 and 10 in drawing 11), if inclination management is performed according to amendment by this exposure approach -- since -- light exposure is computed. And the correction value is fed back to an aligner, and exposure conditions are changed and it is coped with. Moreover, even if there was no substandard fluctuation in the wiring width of face of the circuit pattern after exposure, when fine-amending by carrying out inclination management by measuring the wiring width of face of the manufactured semiconductor device, it was amending with light exposure.

[0007]

[Problem(s) to be Solved by the Invention] However, if this exposure approach is adopted, in order to amend the error of wiring width of face only by changing light exposure, management is impossible at all to fluctuation of a focus, and a problem as shown below occurs. Drawing 13 (A) shows the result wiring width-of-face property of the circuit pattern at the time of changing sensibility and a focus to coincidence. Drawing 13 (B) shows the result wiring width-of-face property after amendment of the circuit pattern at the time of corresponding only by amending light exposure to the case where sensibility and a focus are changed to coincidence.

[0008] In drawing 13 (A) and drawing 13 (B), the direction of an axis of abscissa shows a focus, and the direction of an axis of ordinate shows wiring width of face (line breadth). Although the **** pattern is driven into target line breadth in amendment by the conventional exposure approach of drawing 12 as shown in drawing 13 (B) as a result since it is amendment of only light exposure **E, the dense pattern which is not managed will exceed a line breadth specification upper limit. Moreover, also about the non-dense pattern which was able to be driven into target line breadth, since it continues being in the condition which the focal gap generated, change of the property of focal pair wiring width of face is sharp, and it has great effect on the stability of the exposed wiring width of face.

[0009] The wiring width-of-face properties j and k are wiring width-of-face properties about two circuit patterns that the tight ness of result wiring width of face differs. The wiring width-of-face property j shows a wiring width-of-face property in case a circuit pattern is **** arrangement, and the wiring width-of-face property k shows the wiring width-of-face property in the case of being dense arrangement. On the semi-conductor substrate which constitutes a semiconductor device, the circuit pattern with which tight ness differs in fact is intermingled, and is arranged. Therefore, the property of wiring width of face over a focus changes with differences in the tight ness of a circuit pattern.

[0010] If a circuit pattern crowds like drawing 5 (A) -> drawing 6 (A) -> drawing 7 (A) when the

exposure pattern as an imprint pattern for exposing a circuit to a semi-conductor substrate is exposed to a semi-conductor substrate, a focal pair wiring width-of-face property will change to the property of the convex of facing down [property / of a upward convex] gradually like drawing 5 (B) -> drawing 6 (B) -> drawing 7 (B), respectively.

[0011] As opposed to the location of the X-axis in the point of inflection of the wiring width-of-face property j being the focus F1 of an ideal condition, when Focus F has shifted from the focus F1 as an ideal condition like drawing 13 (A) The dotted line F of the direction of an axis of ordinate comes (difference **F of the focus F which shows this dotted line, and the focus F1 of the ideal condition mentioned above is hereafter called "focal gap") to show the focus actually exposed by the manufactured body of a product.

[0012] For this reason, in the **** wiring width-of-face property j and the dense wiring width-of-face property k, a difference will arise to the result wiring width of face after exposure. Even if amount of exposure amendments **E amends light exposure in this condition, it is impossible to cancel the difference of the result wiring width of face by focal gap **F which the wiring width-of-face property k and the wiring width-of-face property j only change up and down in the direction of an axis of ordinate (wiring cross direction) within the graph of drawing 13 (A), and was mentioned above.

[0013] By this exposure approach, only the property of the wiring width-of-face property j is managed like drawing 13 (B). For this reason, for after amendment, the pattern of the wiring width-of-face property k is USL (it is hereafter used as an abbreviated name of a wiring width-of-face specification upper limit.). "LSL" -- as a wiring width-of-face specification lower limit -- using it -- there is also an example which exceeded, and became substandard and the defect of the manufactured product generated.

[0014] Moreover, as another trouble of focal gap **F, it is the field W1 (the property j of a circuit pattern leans greatly) where the variation [as opposed to change of a focus as compared with the point of inflection of the ideal condition mentioned above although the wiring width-of-face property j was driven into target line breadth like drawing 13 (B)] of wiring width of face is intense, and the stability of the wiring width of face of the circuit pattern exposed to fluctuation of a focus is spoiled. The above troubles had a cause in the ability to separate fluctuation of Focus F, and fluctuation of sensibility and not to be amended.

[0015] Then, without computing the optimal amount of amendments for exposing so that this invention may cancel the above-mentioned technical problem and it may become a dimension aiming at the wiring width of face of the circuit pattern of a semiconductor device in advance The circuit pattern of target wiring width of face is exposed by carrying out separation detection of each fluctuation of a focal location and sensibility, and amending exposure conditions. It aims at offering the manufacture approach of the semiconductor device which can expose the circuit pattern with which the inclination of a focal location and sensibility is furthermore managed with a sufficient precision, and the tight ness of a circuit pattern differs with a sufficient precision, and can improve the productive efficiency of a semiconductor device.

[0016]

[Means for Solving the Problem] It is the manufacture approach of a semiconductor device of manufacturing a semiconductor device by amending and exposing exposure conditions in order to form in a semi-conductor substrate the circuit pattern which constitutes the circuit decided beforehand if the above-mentioned purpose is in this invention. Are arranged so that it may become fixed spacing, and fluctuation of the light exposure to a semi-conductor substrate affects wiring width of face. The 1st exposure managed pattern which has the circuit pattern arranged so that fluctuation of the focal location at the time of exposing to a semi-conductor substrate may not affect wiring width of face, The 1st step which exposes the 2nd exposure managed pattern which has the circuit pattern which is arranged at different spacing from the circuit pattern of the 1st exposure managed pattern, and is arranged so that each fluctuation of light exposure and a focal

location may affect wiring width of face to a semi-conductor substrate, The 2nd step which measures the wiring width of face of the circuit pattern of the 1st circuit pattern exposed with the 1st management exposure pattern and the 2nd management exposure pattern, and each 2nd circuit pattern, The 3rd step which detects the amount of fluctuation of a focal location based on the difference of the wiring width of face of each circuit pattern of the 1st circuit pattern and the 2nd circuit pattern, It is attained by the manufacture approach of the semiconductor device characterized by having the 4th step which detects the amount of fluctuation of light exposure based on the difference of the wiring width of face of at least one circuit pattern of the 1st circuit pattern and the 2nd circuit pattern, and the wiring width of face which should be exposed essentially, and which was set up beforehand.

[0017] It is the manufacture approach of a semiconductor device of manufacturing a semiconductor device by amending and exposing exposure conditions in order to form in a semi-conductor substrate the circuit pattern which constitutes the circuit decided beforehand from this invention. The 1st exposure managed pattern with which the circuit pattern after exposure is arranged at fixed spacing, fluctuation of the light exposure to a semi-conductor substrate affects the wiring width of face of a circuit pattern, and fluctuation of the focal location at the time of exposing to a semi-conductor substrate also affects wiring width of face, A circuit pattern is exposed at different spacing from the 1st exposure managed pattern, and each fluctuation of light exposure and a focal location exposes the 2nd exposure managed pattern which affects the wiring width of face of a circuit pattern to a semi-conductor substrate. Next, the wiring width of face of the circuit pattern of the 1st circuit pattern exposed with the 1st management exposure pattern and the 2nd management exposure pattern and each 2nd circuit pattern is measured. And the error of a focal location is detected based on the difference of the wiring width of face of each circuit pattern of the 1st circuit pattern and the 2nd circuit pattern. Moreover, the error of light exposure is detected based on the difference of the wiring width of face of at least one circuit pattern of the 1st circuit pattern and the 2nd circuit pattern, and the wiring width of face which should be exposed essentially and which was set up beforehand. Each fluctuation of a focal location and sensibility can be separated and detected, without this computing the optimal amount of amendments for exposing in advance so that it may become a dimension aiming at the wiring width of face of the circuit pattern of a semiconductor device.

[0018]

[Embodiment of the Invention] Hereafter, the gestalt of suitable implementation of this invention is explained to a detail based on an accompanying drawing. In addition, since the gestalt of the operation described below is the suitable example of this invention, desirable various limitation is attached technically, but especially the range of this invention is not restricted to these gestalten, as long as there is no publication of the purport which limits this invention in the following explanation.

[0019] As an outline of the approach of manufacturing the semiconductor device (henceforth IC (IntegratedCircuit)) carrying a semiconductor integrated circuit, it is carried out as follows. First, the exposure pattern based on the specification determined beforehand by which layout design was carried out is created. This exposure pattern is imprinted on a semi-conductor substrate (henceforth Wafer WH) by the aligner (exposure process). As for the circuit pattern on the exposed substrate, IC is manufactured through development / etching process, an impurity diffusion process, a vacuum evaporation process, and an assembly-inspection process.

[0020] Hereafter, the manufacture approach (the exposure approach in the exposure process mentioned above) of the semiconductor device as a desirable operation gestalt of this invention is explained. Drawing 1 is the top view showing signs that the semiconductor integrated circuit was formed on the semi-conductor substrate. Drawing 2 is the top view showing an example which expanded the semiconductor integrated circuit formed on the semi-conductor substrate of drawing 1. An "exposure pattern" shows the pattern of the circuit imprinted on Wafer WH by the aligner, by

the following explanation, a "real circuit pattern" shows the pattern of one semiconductor integrated circuit on the wafer WH imprinted with the exposure pattern (henceforth an integrated circuit), and a "circuit pattern" shows 1 wiring of one of the pattern of the circuit imprinted or imprinted on Wafer WH by it. Moreover, or it is separated from the "non-dense" of adjacent circuit patterns, it shows that there is nothing, and it shows that spacing of the circuit pattern which adjoins "it is dense" is narrower than a **** circuit pattern.

[0021] An aligner exposes an integrated circuit 2 on the front face of Wafer WH based on predetermined exposure conditions. Since an aligner cannot expose all the integrated circuits 2 by one exposure on Wafer WH, it is divided and exposed to multiple times. The single shot pattern 4 shows the range of the real circuit pattern 6 exposed at a time by the aligner. This aligner is explained as what exposes four real circuit pattern 6 grades at a time like drawing 2.

[0022] To the verification single shot pattern 4 of the error of the wiring width of face (line breadth) by the roughness and fineness of arrangement of a circuit pattern, it has the scribe line 8 and the managed pattern 1 which make boundaries, such as real circuit pattern [as one integrated circuit which constitutes the integrated circuit 2 on Wafer WH like drawing 2] 6, and real circuit pattern 6 comrades. The managed pattern 1 is a pattern exposed auxiliary, in order to measure the wiring width of face of the circuit pattern after being exposed and to amend exposure conditions. The managed pattern 1 is exposed by the four corners of the single shot pattern 4 so that one may not lap with the real circuit pattern 6 at the core of four and the single shot pattern 4.

[0023] As a managed pattern 1, the 1st managed pattern 12 with which circuit pattern 12a is exposed, and the 2nd managed pattern 14 with which circuit pattern 14a is exposed by the non-dense like drawing 4 (A) are prepared, preparing densely fixed spacing, for example like drawing 3 (A) as at least two circuit patterns for amendment. Here, the 1st managed pattern 12 and the 2nd managed pattern 14 show each which is arranged in the single shot pattern 4 of drawing 2 as a managed pattern 1, respectively.

[0024] Like drawing 3 (A) in the 1st managed pattern 12, five circuit patterns are exposed so that circuit pattern 12a may hold fixed spacing, for example. The 1st managed pattern 12 is an exposure pattern with which circuit pattern 12a is exposed densely. The 1st managed pattern 12 changes exposure conditions, and is a focus (it is used below Focus: as vocabulary which shows the focal location as one of the exposure conditions.). Moreover, the gap from the ideal condition in this focus is called "focal gap". Even if it changes, wiring width of face becomes fixed like drawing 3 (B). On the other hand, when the 1st managed pattern 12 changes exposure conditions and sensibility (it uses as what shows the exposure conditions which it is one of the exposure conditions, and are hereafter influenced with light exposure) is changed, wiring width of face shows the inclination of minus like drawing 3 (C).

[0025] One circuit pattern is arranged like drawing 4 (A) in the 2nd managed pattern 14 as an example of a managed pattern **** in arrangement of circuit pattern 14a. The 1st managed pattern 12 is arranged so that arrangement spacing of circuit patterns may become sufficiently large. If the 2nd managed pattern 14 changes the exposure conditions in the case of exposure and a focus is changed, wiring width of face will serve as an upper convex type parabola like drawing 4 (B). On the other hand, when the 2nd managed pattern 14 changes the exposure conditions in the case of exposure and sensibility is changed, wiring width of face shows the inclination of minus like drawing 4 (C).

[0026] Since it mentioned above, when arrangement of a circuit pattern differs, respectively and sensibility is changed like the 1st managed pattern 12 and the 2nd managed pattern 14, there is no effect in wiring width of face, but when a focus is changed, it turns out that wiring width of face produces an error. Then, in order to expose the circuit pattern of the wiring width of face stable [an aligner's] by making this amount of amendments feed back to the exposure conditions of an aligner using the error of wiring width of face arising by the difference in the roughness and fineness in arrangement of such a circuit pattern, it verifies about what kind of managed pattern 1 should be

adopted.

[0027] In order to choose suitable verification **** of a managed pattern, and the managed pattern 1 suitable as mentioned above, in order to manage wiring width of face, the pattern which serves as a candidate of the managed pattern 1 which is carrying out three arrangement different, respectively like drawing 5 (A), drawing 6 (A), and drawing 7 (A) is exposed, and a circuit pattern is made to form. The manufacture conditions at this time are set up as follows.

Aligner: KrF excimer stepper (NA:0.50, sigma:0.60)

Photoresist: SEPR-3404T (film pressure: 0.7 micrometers)

Wiring width of face of a line-breadth managed pattern (managed pattern): The exposure approach of the semiconductor device as a desirable operation gestalt of this invention adopts 0.25 micrometers of two suitable managed patterns 1 from these three circuit patterns.

[0028] As for drawing 5 (A), arrangement of circuit patterns 16a, 16b, and 16c shows an example of the ***** 3 managed pattern 16 (the 2nd exposure managed pattern). Drawing 5 (B) shows the property of the wiring width of face of the 3rd managed pattern 16 of having changed the focus in exposure conditions. According to drawing 5 (B), change of wiring width of face is drawing a parabola which serves as a convex mold to fluctuation of a focus. Here, the distance between the circuit patterns in the 3rd managed pattern 16 in which a property like drawing 5 (B) is shown is 0.27 micrometers.

[0029] Drawing 6 (A) shows an example of the 4th managed pattern 18 (the 1st exposure managed pattern) with dense arrangement of a circuit pattern. Drawing 6 (B) shows the property of the wiring width of face of the 4th managed pattern 18 changed in the focus in exposure conditions. According to drawing 6 (B), change of wiring width of face is fixed to fluctuation of a focus. Here, in order to show a property like drawing 6 (B), it is desirable that they are the following manufacture conditions, for example.

Light-exposure (sensitivity) fluctuation range: 40×4 mJ/cm² focus fluctuation range : Just Distance between Focus(proper focus) $\times 0.4$ -micrometer circuit patterns : Fluctuation of wiring width of face presupposes again that it is 0.25×0.02 micrometers of definitions of things with the flat property of drawing 6 (B) $\times 5\%$ or less to the dimension (wiring width of face) of a line breadth managed pattern. The distance between the circuit patterns in the 4th managed pattern 18 is 0.25 micrometers.

[0030] Drawing 7 (A) shows an example of the 5th managed pattern 20 with very dense arrangement of circuit pattern 20a. Drawing 7 (B) shows the property of the wiring width of face of the 5th managed pattern 20 of having changed the focus with the aligner. According to drawing 7 (B), change of wiring width of face is drawing a parabola which serves as a convex mold to fluctuation of a focus. Here, the distance between the circuit patterns in the 5th managed pattern 20 in which a property like drawing 7 (B) is shown is 0.23 micrometers.

[0031] The exposure approach as the amendment approach of the exposure conditions for stabilizing wiring width of face is explained from each wiring width-of-face property of the above 3rd managed patterns 16, the 4th managed pattern 18, and the 5th managed pattern 20. The following explanation adopts and explains the 3rd managed pattern 16 with which wiring width of face is not influenced, for example to fluctuation of a focus, but wiring width of face tends to be influenced to fluctuation of the 4th managed pattern 18 of ****, and a focus. In addition, although the 3rd managed pattern 16 was adopted in this explanation, it cannot be overemphasized that the 5th managed pattern 20 may be used instead.

[0032] In order to amend fluctuation of the wiring width of face of the exposed circuit pattern, in the exposure conditions of an aligner, it is necessary to amend the error of the wiring width of face of a circuit pattern by controlling a focus and/or light exposure. Therefore, by the exposure approach as a desirable operation gestalt of this invention, it must distinguish whether light exposure should be amended in order to amend a focus although the error of the wiring width of face of a circuit pattern is amended, or to amend sensibility, or both should be used together and amended.

[0033] Distinction drawing 8 of the cause of an error in the wiring width of face of the exposed

circuit pattern shows the result of having measured the value which equalized the wiring width of face of the circuit pattern for every lot at the time of manufacturing IC with an aligner. By drawing 8, an axis of abscissa shows each batch number, and the axis of ordinate shows the wiring width of face for every lot by it. By this explanation, the target line breadth of an axis of ordinate shows the wiring width of face made into the target of the circuit pattern to expose, USL shows a wiring width-of-face specification upper limit by it, and LSL shows a wiring width-of-face specification lower limit by it.

[0034] In drawing 8, it turns out that it is substandard by the batch number 6 and the batch number 10. In a batch number 6, it turns out that the 3rd managed pattern 16 and the 4th managed pattern 18 are the almost same variation in wiring width of face. Since the sensibility which affects the wiring width of face of both the 3rd managed pattern 16 and the 4th managed pattern 18 is not suitable as mentioned above, this is produced. That is, in this batch number 6, it can bring close to target line breadth by amending light exposure **E minutes in the exposure conditions of an aligner.

[0035] On the other hand, in the batch number 10, the characteristic difference that wiring width-of-face fluctuation of the 3rd managed pattern 16 is larger than wiring width-of-face fluctuation of the 4th managed pattern 18 has occurred. In the 4th managed pattern 18, as explanation of a batch number 6 explained the amount of wiring width-of-face fluctuation from target line breadth, aligner sensibility is the cause. However, in the batch number 10, the wiring width of face of the 3rd managed pattern 16 is further changed from the wiring width of face of the 4th circuit pattern by fluctuation of a focus. For this reason, while amending the sensibility as one of the exposure conditions of an aligner, it is necessary to amend a focus. That is, the error of the wiring width of face of the circuit pattern when imprinting an exposure pattern to Wafer WH in an aligner is based on fluctuation of sensibility and/or a focus. That is, it must expose by amending these both.

[0036] Drawing 9 is a flow chart which shows the manufacture approach of the semiconductor device as a desirable operation gestalt of this invention. The exposure pattern which has the managed pattern 1 which contains the 3rd managed pattern 16 and the 4th managed pattern 18 through layout design as mentioned above is created. This exposure pattern is imprinted on Wafer WH by the aligner (step ST 1). The wiring width of face of the 4th managed pattern 18 is measured as an exposed example (step ST 2).

[0037] It judges whether the wiring width of face of the measured 4th managed pattern 18 is within the limits from USL of drawing 8 to LSL (step ST 3), and if it is within the limits, the wiring width of face of the 3rd managed pattern 16 will be measured (step ST 11). A focal gap is judged with the wiring width of face of the 4th managed pattern 18 and the 3rd managed pattern 16 (step ST 12). If there is no focal gap, it will end (step ST 14), and if there is a focal gap, focal gap **F will be computed (step ST 13). And based on focal gap **F, it amends based on the focal pair wiring width-of-face property table which stores the information on wiring width of face as opposed to a focus for the focus as exposure conditions for an aligner and which was prepared beforehand (step ST 10).

[0038] If there is no wiring width of face of the measured 4th managed pattern 18 within the limits of USL and LSL of drawing 8 on the other hand and the sensibility gap has arisen (step ST 3), amount of exposure amendments **E of the exposure conditions of an aligner will be computed (step ST 4). Next, the wiring width of face of the 3rd managed pattern 16 is measured (step ST 5). A focal gap is judged with the wiring width of face of the 4th managed pattern 18 and the 3rd managed pattern 16 (step ST 6).

[0039] If there is no focal gap, it will amend based on the sensibility pair wiring width-of-face property table which stores the information on wiring width of face over the sensibility beforehand prepared in amount of exposure amendments **E, and if there are (step ST9) and a focal gap, focal gap **F will be computed (step ST 7). Based on amount of exposure amendments **E, the light exposure as exposure conditions is amended based on a focal pair wiring width-of-face property,

and the focus as exposure conditions is amended based on a sensibility pair wiring width-of-face property based on focal gap **F (step ST 8).

[0040] Thus, exposure conditions are amended and exposed in an aligner. As for Wafer WH, IC is manufactured through development / etching process, an impurity diffusion process, a vacuum evaporation process, and assembly and an inspection process.

[0041] As mentioned above, the circuit pattern exposed by the explained exposure approach has effectiveness as taken below. Hereafter, the effectiveness of the exposure approach as a desirable operation gestalt of this invention etc. is explained using drawing 9 – drawing 11 . The following explanation explains using drawing showing a focal pair wiring width-of-face property, respectively like drawing 10 (A), drawing 10 (B), drawing 11 (A), and drawing 11 (B) as a representative.

[0042] An axis of abscissa shows a focus and, as for drawing 10 (A), drawing 10 (B), drawing 11 (A), and drawing 11 (B), an axis of ordinate shows wiring width of face (line breadth), respectively. By this exposure approach, a focus shall be fixed only to one certain point and exposure shall be performed. Moreover, the dotted line 22 prolonged in the direction of an axis of ordinate shows the focus beforehand set up in the aligner, and are the focal conditions at the time of actual exposure.

[0043] It is synonymous with the line breadth result of one lot of arbitration which the part shown by O in drawing 11 is exposed on the exposure conditions as actual light exposure and a focus, and the value of the intercept of O and a dotted line 22 is finished, serves as wiring width of face (dimension), and is shown by drawing 8 . Here, when the light exposure of this exposure approach is changed, change appears [the wiring width-of-face properties 24 and 26] according to the property same with being shown in drawing 3 (C) and drawing 4 (C).

[0044] When only sensibility fluctuation occurs, drawing 10 (A) shows the focal pair wiring width-of-face property when only sensibility fluctuation occurs. Drawing 10 (B) shows the focal pair wiring width-of-face property about the result after amendment of exposure conditions when only sensibility fluctuation occurs.

[0045] When sensibility is changed, it has amended by the same approach as the conventional exposure conditions. In drawing 10 (A), if the difference occurred in the result (place shown by O) of target line breadth and the actually exposed wiring width of face, it is over the line breadth specification lower limit to it and correction value **E by light exposure is amended, the property k and the **** pattern property j of a dense pattern change upward so that it may be shown like drawing 10 (B), and it can drive into target line breadth.

[0046] When the sensibility fluctuation and the focal fluctuation of a result by which drawing 11 (A) was exposed when sensibility fluctuation and focal fluctuation occurred occur, the focal pair wiring width-of-face property of an about is shown. Drawing 11 (B) shows the focal pair wiring width-of-face property about the result after amendment of exposure conditions when the sensibility fluctuation and the focal fluctuation of a result which were exposed occur.

[0047] Drawing 11 (A) shows the focal pair wiring width-of-face property about the wiring width-of-face property of a circuit pattern when the sensibility fluctuation and the focal fluctuation of a result which were exposed occur. Drawing 11 (B) shows the focal pair wiring width-of-face property about the result after amendment by amount of amendments **F of a focus, and amount of amendments **E of light exposure, when the sensibility fluctuation and the focal fluctuation of a result which were exposed occur.

[0048] Since amount of amendments **F of a focus like drawing 11 (A) and amount of amendments **E of light exposure are detected separately and it amends, respectively, a **** exposure pattern and a dense exposure pattern can drive the wiring width of face of a circuit pattern into target line breadth. Moreover, it can be made to be able to change to the field stabilized more, and the stability of the wiring width of face of the exposed circuit pattern can be raised because the wiring width-of-face property of a circuit pattern amends also to fluctuation of the bad focus conventionally.

[0049] Without according to the operation gestalt of this invention, computing the optimal amount of amendments for exposing so that it may become a dimension aiming at the wiring width of face of

the circuit pattern of IC in advance, when exposing an exposure pattern to Wafer WH, when a focus and sensibility are changed, this amount of fluctuation can be detected separately. Moreover, these detection results can amend exposure conditions separately.

[0050] By the way, this invention is not limited to the operation gestalt mentioned above. By the exposure approach mentioned above, although two managed patterns are used, three or more managed patterns may be used. In the flow chart of drawing 9, when a focus and each light exposure are changed, although light exposure is detected previously, even if it detects a focus previously, it can amend similarly. Moreover, the manufacture approach of the semiconductor device as a desirable operation gestalt of this invention is applicable also to things other than the manufacture approach of a semiconductor device which imprints the beforehand regular exposure pattern to an object.

[0051]

[Effect of the Invention] Without computing the optimal amount of amendments for exposing in advance according to this invention so that it may become a dimension aiming at the wiring width of face of the circuit pattern of a semiconductor device as explained above The circuit pattern of target wiring width of face is exposed by carrying out separation detection of each fluctuation of a focal location and sensibility, and amending exposure conditions. The circuit pattern with which the inclination of a focal location and sensibility is furthermore managed with a sufficient precision, and the tight ness of a circuit pattern differs can be exposed with a sufficient precision, and the productive efficiency of a semiconductor device can be improved.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The top view showing the whole wafer with which the integrated circuit was exposed.

[Drawing 2] The top view showing the enlarged drawing of the wafer of drawing 1.

[Drawing 3] Drawing showing the expansion top view and property of the 1st exposure pattern as an example of the managed pattern of drawing 1.

[Drawing 4] Drawing showing the expansion top view and property of the 2nd exposure pattern as an example of the managed pattern of drawing 1.

[Drawing 5] Drawing showing the expansion top view and property of the 3rd exposure pattern as an example of the managed pattern of drawing 1.

[Drawing 6] Drawing showing the expansion top view and property of the 4th exposure pattern as an example of the managed pattern of drawing 1.

[Drawing 7] Drawing showing the expansion top view and property of the 5th exposure pattern as an example of the managed pattern of drawing 1.

[Drawing 8] Drawing showing the wiring width of face of the circuit pattern for every lot at the time

of exposing the 3rd exposure pattern of drawing 5 , and the 4th exposure pattern of drawing 6 .

[Drawing 9] The flow chart which shows an example of the manufacture approach of the semiconductor device as a desirable operation gestalt of this invention.

[Drawing 10] Drawing showing the property of wiring width of face over a focus.

[Drawing 11] Drawing showing the property of wiring width of face over a focus.

[Drawing 12] The flow chart which shows the manufacture approach of the conventional semiconductor device.

[Drawing 13] Drawing showing the wiring width of face for every lot at the time of exposing by the exposure approach of drawing 12 .

[Drawing 14] Drawing showing the property of wiring width of face over a focus.

[Description of Notations]

1 ... A managed pattern, 16 ... The 3rd managed pattern (the 2nd exposure managed pattern), 18 ... The 4th managed pattern (the 1st exposure managed pattern), ST1 ... Step (the 1st step), ST2 ... A step (the 2nd step), ST3 ... Step (the 3rd step), ST [... A step (the 5th step, the 6th step), W / ... Wiring width of face, WH / ... Wafer (semi-conductor substrate)]6 ... A step (the 4th step), ST8 ... A step (the 5th step), ST9 ... A step (the 6th step), ST10

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

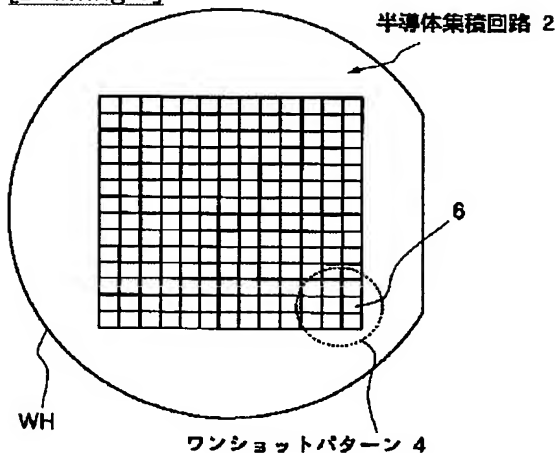
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

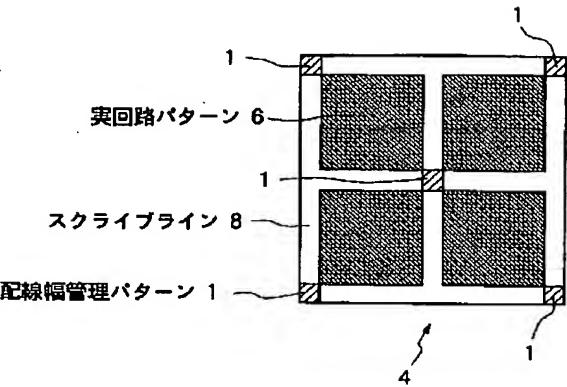
3.In the drawings, any words are not translated.

DRAWINGS

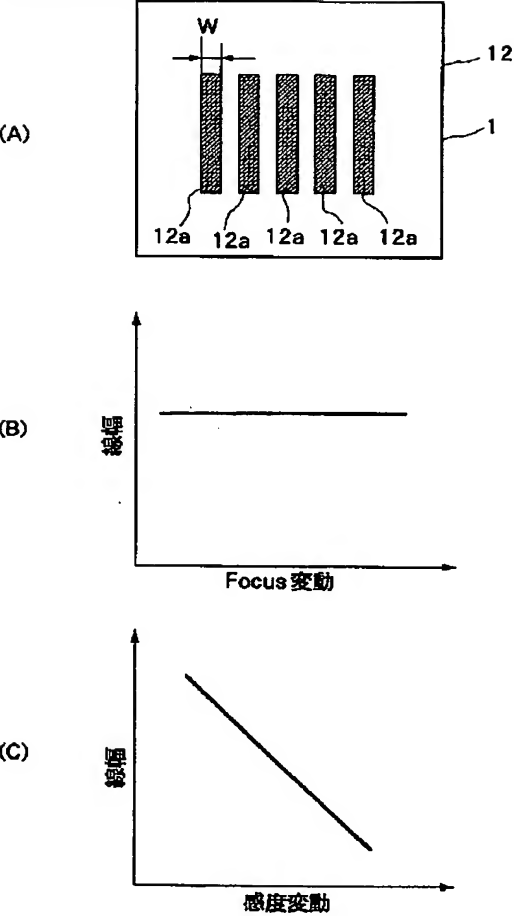
[Drawing 1]



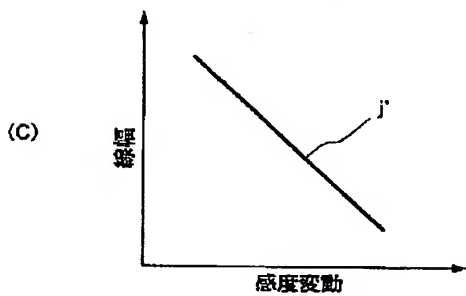
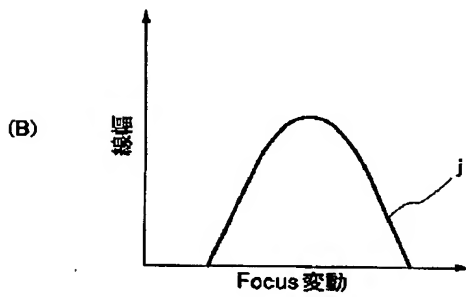
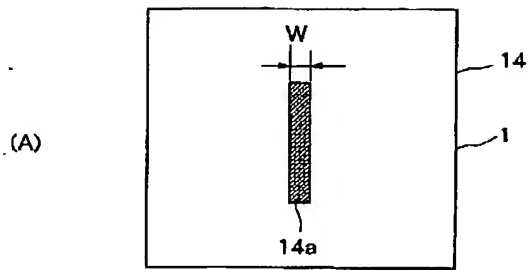
[Drawing 2]



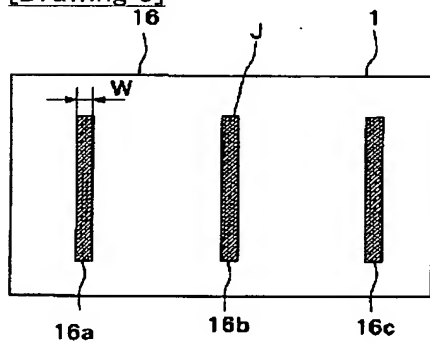
[Drawing 3]



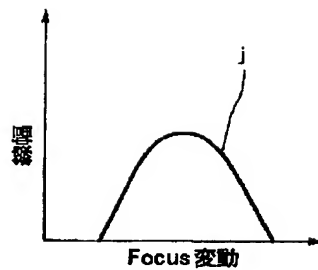
[Drawing 4]



[Drawing 5]

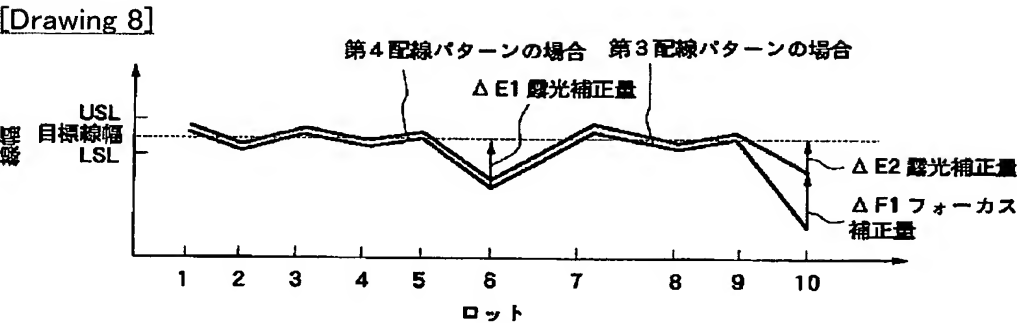
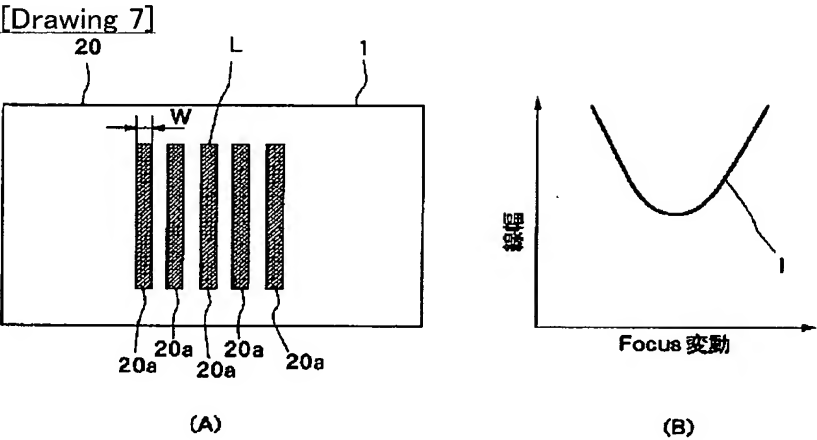
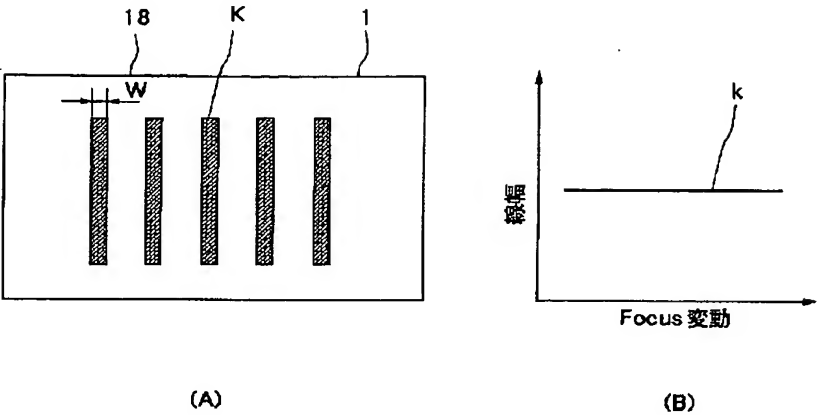


(A)

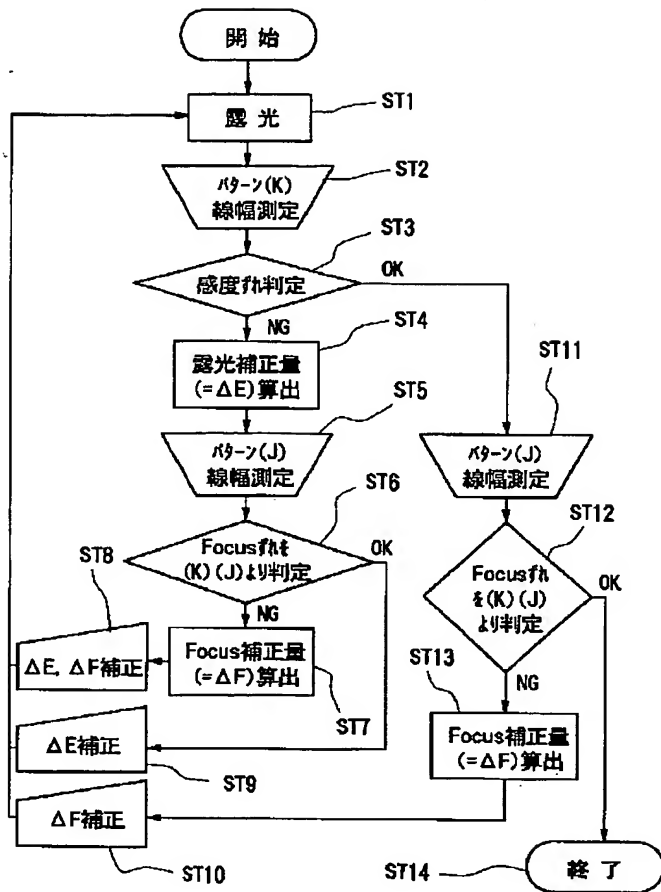


(B)

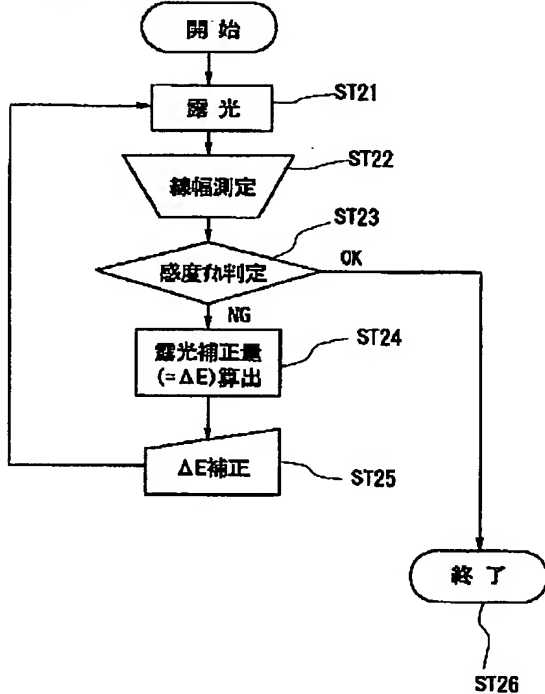
[Drawing 6]



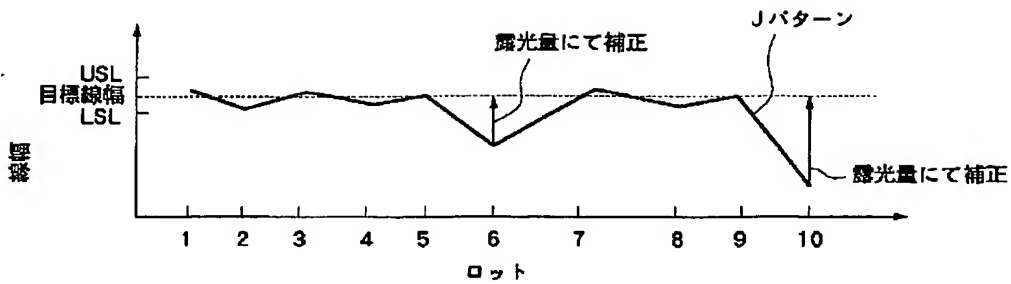
[Drawing 9]



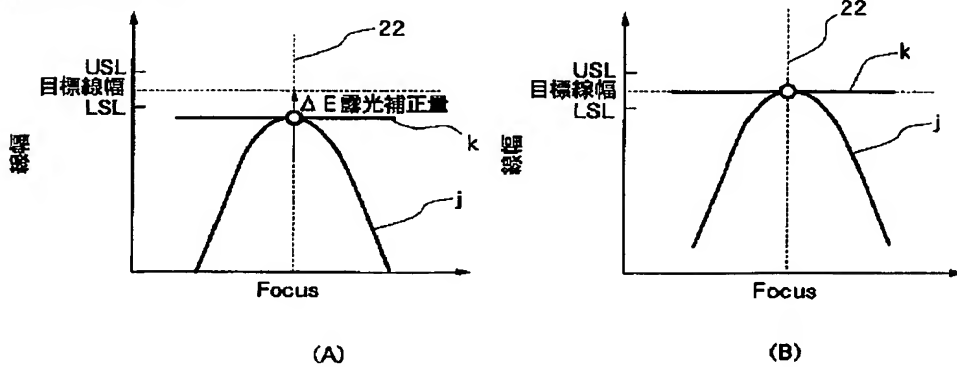
[Drawing 12]



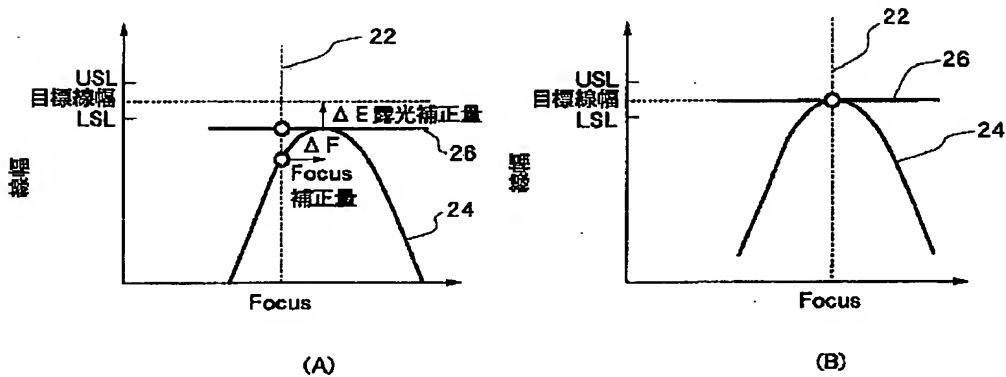
[Drawing 14]



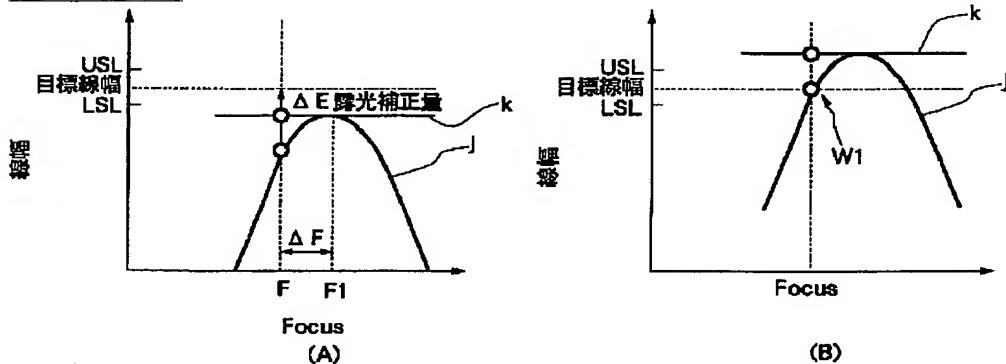
[Drawing 10]



[Drawing 11]



[Drawing 13]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-307431

(43)公開日 平成11年(1999)11月5日

(51)IntCl. ⁵	識別記号	F I
H 0 1 L 21/027		H 0 1 L 21/30
G 0 3 F 7/20	5 2 1	G 0 3 F 7/20
H 0 1 L 21/3205		H 0 1 L 21/30
		21/88
		5 0 2 G
		5 2 1
		5 1 6 D
		B

審査請求 未請求 請求項の数5 O L (全 11 頁)

(21)出願番号 特願平10-113597

(22)出願日 平成10年(1998)4月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 神谷 雅之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

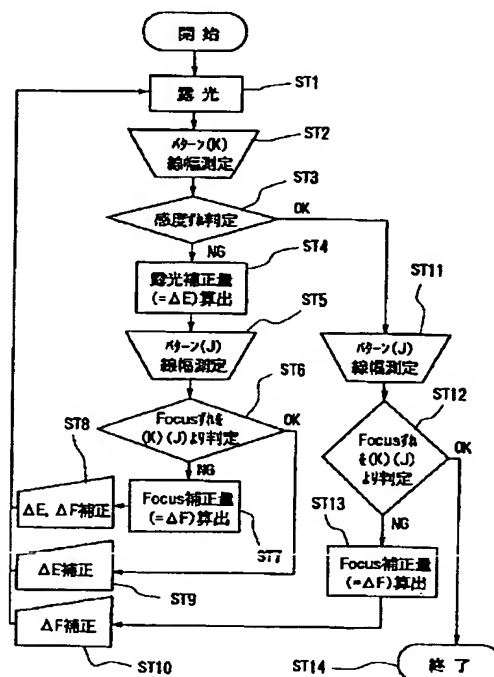
(74)代理人 弁理士 岡▲崎▼ 信太郎 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体装置の配線パターンの配線幅を目標とする寸法となるように露光するのに最適な補正量を事前に算出することなく、焦点位置及び感度のそれぞれの変動を分離検出して露光条件を補正することで目標とする配線幅の配線パターンを露光することができる半導体装置の製造方法を提供すること。

【解決手段】 半導体基板WHへの露光量の変動が配線幅Wに影響を与え、半導体基板WHに露光する際の焦点位置の変動が配線幅Wに影響を与えないように配置されている配線パターンを有する第1露光管理パターン18と、露光量及び焦点位置のそれぞれの変動が配線幅に影響を与えるように配置されている配線パターンを有する第2露光管理パターン16とを半導体基板WHに露光して、露光された配線パターンの配線幅を計測して焦点位置及び露光量の変動量を検出する。



【特許請求の範囲】

【請求項 1】 予め決められた回路を構成する配線パターンを半導体基板に形成するために露光条件を補正して露光することで半導体装置を製造する半導体装置の製造方法であって、

一定の間隔となるように配置され、半導体基板への露光量の変動が配線幅に影響を与え、半導体基板に露光する際の焦点位置の変動が配線幅に影響を与えないように配置されている配線パターンを有する第 1 露光管理パターンと、第 1 露光管理パターンの配線パターンとは異なる間隔で配置され、露光量及び焦点位置のそれぞれの変動が配線幅に影響を与えるように配置されている配線パターンを有する第 2 露光管理パターンとを半導体基板に露光する第 1 ステップと、

第 1 管理露光パターン及び第 2 管理露光パターンによって基板上に露光された第 1 配線パターン及び第 2 配線パターンそれぞれの配線パターンの配線幅を測定する第 2 ステップと、

第 1 配線パターン及び第 2 配線パターンのそれぞれの配線パターンの配線幅の差に基づいて焦点位置の変動量を検出する第 3 ステップと、

第 1 配線パターン及び第 2 配線パターンの少なくとも 1 つの配線パターンの配線幅と、本来露光されるべき予め設定された配線幅との差に基づいて露光量の変動量を検出する第 4 ステップとを有することを特徴とする半導体装置の製造方法。

【請求項 2】 第 2 露光管理パターンは少なくとも 1 本の配線パターンを露光する疎な露光パターンであり、第 1 管理パターンは第 2 配線パターンより配線パターンが密に配置されている請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 第 1 配線パターン及び第 2 配線パターンのそれぞれの配線幅の差に基づいて焦点位置を補正する第 5 ステップと、

第 1 配線パターン及び第 2 配線パターンの少なくとも 1 つの配線パターンの配線幅と、本来露光されるべき予め設定された配線幅との差に基づいて露光量を補正する第 6 ステップと、

を有する請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 第 5 ステップでは、第 3 ステップで測定された焦点位置の変動量から予め用意されたテーブルに基づいて補正量を決定して焦点位置を補正する請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 第 6 ステップでは、第 4 ステップで測定された露光量の変動量から予め用意されたテーブルに基づいて補正量を決定して露光量を補正する請求項 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、例えば予め決め

られた回路を形成する配線パターンを半導体基板に露光して半導体装置を製造する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 今日、電子機器に内蔵されており、電子回路を有する半導体装置としての IC (Integrated Circuit) は、電子機器の小型化や高性能化に欠かせない存在となっている。IC は、予め決められた回路を露光するための露光パターンを例えばシリコン等を材質とする半導体基板に露光して配線パターンを形成した後、現像工程等、所定の工程を経て IC が製造される。この配線パターンの形成においては、配線パターンの配線幅を目標とする配線幅に仕上げるために製造時に変動する半導体基板までの距離としての焦点位置（以下、フォーカス (Focus) という）及び感度変動量の補正量（以下、感度は、例えば露光量を補正することで補正するものとする）を露光装置にフィードバックして露光条件を最適なものとする必要がある。

【0003】 従来の露光方法としては、回路を構成する配線パターンを露光するための露光条件を決定するために、製品としての IC を製造する前にテストサンプル露光を行う方法が採られている。この方法では、事前に露光装置のフォーカス及び露光エネルギー（以下、露光量という）を段階的にずらしながら変動させたフォーカス及び感度変動量を算出して最適な補正量を算出しておく作業（以下、「条件出し」という）が必要であった。製造工程においてこの条件出しを行うことは、工数の増加を伴い TAT (Turn Around Time) の悪化を生む原因となっていた。

【0004】 また、別の露光方法としては、TAT の悪化を避けるために前述した条件出しを行わない方法がある。この方法では、過去に製造されたロット毎の露光量と配線パターンの露光後の（仕上がり）配線幅を監視することによって、感度変化の傾向を管理して製造される半導体装置の露光条件を予測することで露光条件を決定している。

【0005】 図 1 2 は、更に別の従来の露光方法を示すフローチャートである。従来の露光方法では、まず、半導体基板上に所定の配線パターンを有する露光パターンが露光される（ステップ S T 2 1）。露光された配線パターンの配線幅が計測される（ステップ S T 2 2）。本来露光されるべき配線幅と実際に露光された配線幅との誤差を検出して感度ずれを判定する（ステップ S T 2 3）。感度ずれがなければ (OK) 終了し（ステップ S T 2 6）、感度ずれがあれば検出した誤差から露光補正量 ΔE を算出する（ステップ S T 2 4）。この露光補正量 ΔE によって露光量を補正する（ステップ S T 2 5）。

【0006】 この露光方法による補正に従って傾向管理を行うと、この感度変化の傾向の管理において規格外の

配線幅の変動が確認された場合（例えば図 11 中のロット 6 及び 10）に露光後の配線パターンにおける目標とする配線幅（図 14 の目標線幅）に追いつくため、予め把握している露光量対配線幅特性から露光量を算出する。そして、露光装置にその補正値をフィードバックして露光条件を変更して対処する。また、露光後の配線パターンの配線幅において規格外の変動がなくても、製造された半導体装置の配線幅を測定することによって傾向管理することで微補正する場合においても、露光量にて補正を行っていた。

【0007】

【発明が解決しようとする課題】しかしながら、この露光方法を採用すると、配線幅の誤差を露光量を変更することのみで補正するため、フォーカスの変動に対して何ら対処ができず、以下に示すような問題が発生する。図 13 (A) は、感度とフォーカスが同時に変動した場合の配線パターンの仕上がり配線幅特性を示す。図 13

(B) は、感度とフォーカスが同時に変動した場合に対して、露光量を補正することのみで対応した場合の配線パターンの補正後の仕上がり配線幅特性を示す。

【0008】図 13 (A) 及び図 13 (B) において横軸方向はフォーカスを示し、縦軸方向は配線幅（線幅）を示す。図 12 の従来の露光方法による補正では、露光量 ΔE のみの補正であるため、結果として図 13 (B) に示されるように疎なパターンは目標線幅に追いつまれているが、管理されていない密なパターンは線幅規格上限値を越えてしまう。また、目標線幅に追いつめた疎パターンについても、フォーカスずれが発生した状態のままであるため、フォーカス対配線幅の特性の変化が激しく、露光された配線幅の安定性に多大な影響を与える。

【0009】配線幅特性 j 、 k は、仕上がり配線幅の密集度が異なる 2 つの配線パターンについての配線幅特性である。配線幅特性 j は配線パターンが疎な配置である場合の配線幅特性を示し、配線幅特性 k は密な配置である場合の配線幅特性を示している。半導体装置を構成する半導体基板上には、実際には密集度の異なる配線パターンが混在して配置されている。よって、配線パターンの密集度の違いによって、フォーカスに対する配線幅の特性が異なる。

【0010】半導体基板に回路を露光するための転写パターンとしての露光パターンを半導体基板に露光したときに、配線パターンが図 5 (A) → 図 6 (A) → 図 7 (A) のように密集してくると、フォーカス対配線幅特性はそれぞれ図 5 (B) → 図 6 (B) → 図 7 (B) のように上向きの凸の特性が徐々に下向きの凸の特性に変化する。

【0011】フォーカス F が、図 13 (A) のように理想状態としてのフォーカス F_1 からずれていた場合、配線幅特性 j の変曲点での X 軸の位置が理想状態のフォーカス F_1 であるのに対して、製造された製品本体で実際

に露光されたフォーカスは縦軸方向の点線 F で示ようになる（以下、この点線を示すフォーカス F と前述した理想状態のフォーカス F_1 との差 ΔF を「フォーカスずれ」という）。

【0012】このため、疎な配線幅特性 j と密な配線幅特性 k において露光後の仕上がり配線幅に差が生じてしまう。この状態で露光量を露光補正量 ΔE で補正しても、配線幅特性 k 及び配線幅特性 j は、図 13 (A) のグラフ内で縦軸方向（配線幅方向）で上下に推移するだけで、前述したフォーカスずれ ΔF による仕上がり配線幅の差を解消することは不可能である。

【0013】この露光方法では、図 13 (B) のように配線幅特性 j の特性のみ管理している。このため、補正後は、配線幅特性 k のパターンが USL （以下、配線幅規格上限値の略称として使用する。「 LSL 」は配線幅規格下限値として使用する）を越えて規格外となり、製造された製品の不良が発生した例もある。

【0014】また、フォーカスずれ ΔF の別の問題点としては、配線幅特性 j は、図 13 (B) のように目標線幅に追いつまれているが、前述した理想状態の変曲点と比較してフォーカスの変化に対する配線幅の変化量が激しい領域 W_1 （配線パターンの特性 j が大きく傾いている）であり、フォーカスの変動に対して露光される配線パターンの配線幅の安定性が損なわれる。以上のような問題点は、フォーカス F の変動と感度の変動とを分離して補正することができないことに原因があった。

【0015】そこでこの発明は上記課題を解消し、半導体装置の配線パターンの配線幅を目標とする寸法となるように露光するのに最適な補正量を事前に算出することなく、焦点位置及び感度のそれぞれの変動を分離検出して露光条件を補正することで目標とする配線幅の配線パターンを露光し、さらに焦点位置及び感度の傾向を精度よく管理して配線パターンの密集度の異なる配線パターンを精度良く露光して半導体装置の生産効率を向上することができる半導体装置の製造方法を提供することを目的としている。

【0016】

【課題を解決するための手段】上記目的は、この発明にあっては、予め決められた回路を構成する配線パターンを半導体基板に形成するために露光条件を補正して露光することで半導体装置を製造する半導体装置の製造方法であって、一定の間隔となるように配置され、半導体基板への露光量の変動が配線幅に影響を与え、半導体基板に露光する際の焦点位置の変動が配線幅に影響を与えないように配置されている配線パターンを有する第 1 露光管理パターンと、第 1 露光管理パターンの配線パターンとは異なる間隔で配置され、露光量及び焦点位置のそれぞれの変動が配線幅に影響を与えるように配置されている配線パターンを有する第 2 露光管理パターンとを半導体基板に露光する第 1 ステップと、第 1 管理露光パター

ン及び第2管理露光パターンによって露光された第1配線パターン及び第2配線パターンそれぞれの配線パターンの配線幅を測定する第2ステップと、第1配線パターン及び第2配線パターンのそれぞれの配線パターンの配線幅の差に基づいて焦点位置の変動量を検出する第3ステップと、第1配線パターン及び第2配線パターンの少なくとも1つの配線パターンの配線幅と、本来露光されるべき予め設定された配線幅との差に基づいて露光量の変動量を検出する第4ステップとを有することを特徴とする半導体装置の製造方法により達成される。

【0017】この発明では、予め決められた回路を構成する配線パターンを半導体基板上に形成するために露光条件を補正して露光することで半導体装置を製造する半導体装置の製造方法であって、露光後の配線パターンが一定の間隔で配置され、半導体基板への露光量の変動が配線パターンの配線幅に影響を与え、半導体基板上に露光する際の焦点位置の変動も配線幅に影響を与える第1露光管理パターンと、第1露光管理パターンとは異なる間隔で配線パターンが露光され、露光量及び焦点位置のそれぞれの変動が配線パターンの配線幅に影響を与える第2露光管理パターンとを半導体基板上に露光する。次に第1管理露光パターン及び第2管理露光パターンによって露光された第1配線パターン及び第2配線パターンそれぞれの配線パターンの配線幅を測定する。そして、第1配線パターン及び第2配線パターンのそれぞれの配線パターンの配線幅の差に基づいて焦点位置の誤差を検出する。また、第1配線パターン及び第2配線パターンの少なくとも1つの配線パターンの配線幅と、本来露光されるべき予め設定された配線幅との差に基づいて露光量の誤差を検出する。これにより、半導体装置の配線パターンの配線幅を目標とする寸法となるように露光するのに最適な補正量を事前に算出することなく、焦点位置及び感度のそれぞれの変動を分離して検出することができる。

【0018】

【発明の実施の形態】以下、この発明の好適な実施の形態を添付図面に基づいて詳細に説明する。なお、以下に述べる実施の形態は、この発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、この発明の範囲は、以下の説明において特にこの発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

【0019】半導体集積回路を搭載した半導体装置（以下、IC（Integrated Circuit）という）を製造する方法の概略としては、以下のように行われる。まず、予め決定された仕様に基づいたレイアウト設計された露光パターンを作成する。この露光パターンは、露光装置によって半導体基板（以下、ウェハ-WHという）上に転写される（露光工程）。露光された基板上の配線パターンは、現像・エッチング工程、不純物拡

散工程、蒸着工程及び組立検査工程を経てICが製造される。

【0020】以下、この発明の好ましい実施形態としての半導体装置の製造方法（上述した露光工程における露光方法）について説明する。図1は、半導体基板上に半導体集積回路が形成された様子を示す平面図である。図2は、図1の半導体基板上に形成された半導体集積回路を拡大した一例を示す平面図である。以下の説明では、「露光パターン」とは露光装置によってウェハ-WH上に転写される回路のパターンを示し、「実回路パターン」とは露光パターンにより転写されたウェハ-WH上の1つの半導体集積回路（以下、集積回路という）のパターンを示し、「配線パターン」とはウェハ-WH上に転写される又は転写された回路のパターンの1本1本の配線を示す。また、「疎」とは隣り合う配線パターン同士が離れている又はないことを示し、「密」とは隣り合う配線パターンの間隔が疎な配線パターンより狭いことを示す。

【0021】露光装置は、所定の露光条件に基づいてウェハ-WHの表面上に集積回路2を露光する。露光装置は、ウェハ-WH上に1度の露光で集積回路2の全てを露光することができないので、複数回に分割して露光する。ワンショットパターン4は、露光装置によって1度に露光される実回路パターン6の範囲を示している。この露光装置は、図2のように例えば4つの実回路パターン6等を1度に露光するものとして説明する。

【0022】配線パターンの配置の粗密による配線幅（線幅）の誤差の検証

ワンショットパターン4には、図2のようにウェハ-WH上の集積回路2を構成する1つの集積回路としての実回路パターン6、実回路パターン6同士等の境界をなすスクライプライン8及び管理パターン1を有する。管理パターン1は、露光された後の配線パターンの配線幅が測定されて、露光条件を補正するために補助的に露光されるパターンである。管理パターン1は、例えばワンショットパターン4の四隅に4つとワンショットパターン4の中心に1つとが、実回路パターン6と重ならないように露光される。

【0023】管理パターン1としては、例えば少なくとも2つの補正用配線パターンとして図3（A）のように密に一定の間隔を設けながら配線パターン12aが露光される第1管理パターン12、及び図4（A）のように疎に配線パターン14aが露光される第2管理パターン14を用意する。ここで、第1管理パターン12及び第2管理パターン14は、管理パターン1として図2のワンショットパターン4の中にそれぞれ配置される1つ1つを示している。

【0024】第1管理パターン12は、図3（A）のように配線パターンが配線パターン12aが例えば一定の間隔を保有するように5本露光される。第1管理パター

ン12は、密に配線パターン12aが露光される露光パターンである。第1管理パターン12は、露光条件を変化してフォーカス(Focus:以下、露光条件の1つとしての焦点位置を示す用語として使用する。また、このフォーカスにおける理想状態からのずれを「フォーカスずれ」という。)が変動しても配線幅が図3(B)のように一定となる。一方、第1管理パターン12は、露光条件を変化して感度(以下、露光条件の1つであって、露光量により影響される露光条件を示すものとして用いる)が変動すると配線幅が図3(C)のようにマイナスの傾きを示す。

【0025】第2管理パターン14は、図4(A)のように配線パターン14aの配置が疎な管理パターンの一例として例えば1本の配線パターンが配置されている。第1管理パターン12は、配線パターン同士の配置間隔が十分広くなるように配置されている。第2管理パターン14は、露光の際の露光条件を変化して、フォーカスが変動すると配線幅が図4(B)のように上凸型の放物線となる。一方、第2管理パターン14は、露光の際の露光条件を変化して感度が変動すると、配線幅が図4(C)のようにマイナスの傾きを示す。

【0026】上述したことから、第1管理パターン12及び第2管理パターン14のように、それぞれ配線パターンの配置が異なることによって感度が変動した場合に配線幅には影響がないが、フォーカスが変動した場合に配線幅が誤差を生ずることがわかる。そこで、このような配線パターンの配置における粗密の違いによって配線幅の誤差が生ずることを利用して、この補正量を露光装置の露光条件にフィードバックさせることで、露光装置が安定した配線幅の配線パターンを露光するためにどのような管理パターン1を採用するべきかについて検証する。

【0027】好適な管理パターンの検証

まず、上述したように配線幅を管理するために適切な管理パターン1を選択するために、例えば図5(A)、図6(A)及び図7(A)のように3つのそれぞれ異なる配置をしている管理パターン1の候補となるパターンを露光して配線パターンを形成させる。この時の製造条件は、以下のように設定している。

露光装置: KrFエキシマ・ステッパー (NA: 0.50, σ : 0.60)

ホトレジスト: SEPR-3404T (膜厚: 0.7 μ m)

線幅管理パターン(管理パターン)の配線幅: 0.25 μ m

この発明の好ましい実施形態としての半導体装置の露光方法は、この3つの配線パターンから適切な例えば2つの管理パターン1を採用する。

【0028】図5(A)は、配線パターン16a、16b及び16cの配置が疎な第3管理パターン16(第2

露光管理パターン)の一例を示している。図5(B)は、露光条件においてフォーカスが変動した第3管理パターン16の配線幅の特性を示している。図5(B)によれば、配線幅の変化は、フォーカスの変動に対して上に凸型となるような放物線を描いている。ここで、図5(B)のような特性を示す第3管理パターン16における配線パターン間の距離は、例えば0.27 μ mである。

【0029】図6(A)は、配線パターンの配置が密な第4管理パターン18(第1露光管理パターン)の一例を示している。図6(B)は、露光条件においてフォーカスを変動した第4管理パターン18の配線幅の特性を示している。図6(B)によれば、配線幅の変化は、フォーカスの変動に対して一定となっている。ここで、図6(B)のような特性を示すためには、例えば以下のような製造条件であることが望ましい。

露光量(感度)変動範囲: $40 \pm 4 \text{ mJ/cm}^2$

フォーカス変動範囲: Just Focus (適正なフォーカス) $\pm 0.4 \mu\text{m}$

配線パターン間の距離: $0.25 \pm 0.02 \mu\text{m}$

また、図6(B)の特性が平坦であることの定義は、配線幅の変動が線幅管理パターンの寸法(配線幅)に対して $\pm 5\%$ 以下であることとする。第4管理パターン18における配線パターン間の距離は、例えば0.25 μ mである。

【0030】図7(A)は、配線パターン20a同士の配置が非常に密な第5管理パターン20の一例を示している。図7(B)は、露光装置によってフォーカスが変動した第5管理パターン20の配線幅の特性を示している。図7(B)によれば、配線幅の変化は、フォーカスの変動に対して下に凸型となるような放物線を描いている。ここで、図7(B)のような特性を示す第5管理パターン20における配線パターン間の距離は、例えば0.23 μ mである。

【0031】以上のような第3管理パターン16、第4管理パターン18及び第5管理パターン20のそれぞれの配線幅特性から、配線幅を安定化するための露光条件の補正方法としての露光方法について説明する。以下の説明では、例えばフォーカスの変動に対して配線幅が影響を受けずらい第4管理パターン18及びフォーカスの変動に対して配線幅が影響を受けやすい第3管理パターン16を採用して説明する。尚、この説明では第3管理パターン16を採用したが、代わりに第5管理パターン20を使用しても良いことはいうまでもない。

【0032】露光した配線パターンの配線幅の変動を補正するためには、露光装置の露光条件において、フォーカス及び/又は露光量を制御することで配線パターンの配線幅の誤差を補正する必要がある。よって、この発明の好ましい実施形態としての露光方法では、配線パターンの配線幅の誤差を補正するのに、フォーカスを補正す

べきか、感度を補正するために露光量を補正すべきか、又は両者を併用して補正すべきかを判別しなければならない。

【0033】露光した配線パターンの配線幅における誤差原因の判別

図8は、露光装置によってICを製造した場合の各ロット毎の配線パターン₁の配線幅を平均化した値を計測した結果を示している。図8では、横軸は各ロットナンバーを示し、縦軸は各ロット毎の配線幅を示している。この説明では、縦軸の目標線幅は、露光する配線パターン₁の目標とする配線幅を示し、USLは配線幅規格上限値を示し、LSLは配線幅規格下限値を示す。

【0034】図8においては、ロットナンバー6及びロットナンバー10にて規格外となっていることがわかる。ロットナンバー6では、第3管理パターン16及び第4管理パターン18が配線幅においてほぼ同一の変化量であることがわかる。これは、前述したように第3管理パターン16及び第4管理パターン18の両方の配線幅に影響を与える感度が適切ではないために生じたものである。つまり、このロットナンバー6では、露光装置の露光条件において露光量 ΔE 分を補正することによって目標線幅に近づけることができる。

【0035】一方、ロットナンバー10では、第3管理パターン16の配線幅変動が第4管理パターン18の配線幅変動よりも大きいという特徴的な違いが発生している。第4管理パターン18において目標線幅からの配線幅変動量は、ロットナンバー6の説明で説明したように露光装置感度が原因である。しかし、ロットナンバー10では、さらにフォーカスの変動によって第3管理パターン16の配線幅が第4配線パターン₁の配線幅より変動している。このため、露光装置の露光条件の1つとしての感度を補正すると共に、フォーカスを補正する必要がある。つまり、露光装置においてウェハWHに露光パターンを転写した時の配線パターン₁の配線幅の誤差は、感度及び/又はフォーカスの変動によるものである。つまり、これら両者を補正して露光を行わなければならない。

【0036】図9は、この発明の好ましい実施形態としての半導体装置の製造方法を示すフローチャートである。前述したようにレイアウト設計を経て、第3管理パターン16及び第4管理パターン18を含む管理パターン1を有する露光パターン₁が作成される。この露光パターン₁は、露光装置によってウェハWH上に転写される(ステップST1)。露光された例えば一例として第4管理パターン18の配線幅が、計測される(ステップST2)。

【0037】計測された第4管理パターン18の配線幅が図8のUSLからLSLまでの範囲内であるかを判定し(ステップST3)、範囲内であれば第3管理パターン16の配線幅を計測する(ステップST11)。フォー

カスズれを第4管理パターン18及び第3管理パターン16の配線幅により判定する(ステップST12)。フォーカスズれがなければ終了し(ステップST14)、フォーカスズれがあればフォーカスズれ ΔF を算出する(ステップST13)。そして、フォーカスズれ ΔF に基づいて、露光装置の露光条件としてのフォーカスを、フォーカスに対する配線幅の情報を格納する予め用意されたフォーカス対配線幅特性テーブルに基づいて補正する(ステップST10)。

【0038】一方、計測された第4管理パターン18の配線幅が図8のUSL及びLSLの範囲内になく感度ズれが生じていれば(ステップST3)、露光装置の露光条件の露光補正量 ΔE を算出する(ステップST4)。次に、第3管理パターン16の配線幅を計測する(ステップST5)。フォーカスズれを第4管理パターン18及び第3管理パターン16の配線幅により判定する(ステップST6)。

【0039】フォーカスズれがなければ露光補正量 ΔE を予め用意された感度に対する配線幅の情報を格納する感度対配線幅特性テーブルに基づいて補正し、(ステップST9)、フォーカスズれがあればフォーカスズれ ΔF を算出する(ステップST7)。露光補正量 ΔE に基づいて露光条件としての露光量をフォーカス対配線幅特性に基づいて補正し、フォーカスズれ ΔF に基づいて露光条件としてのフォーカスを感度対配線幅特性に基づいて補正する(ステップST8)。

【0040】このように露光装置において露光条件が補正されて露光される。ウェハWHは、現像・エッチング工程、不純物拡散工程、蒸着工程及び組立・検査工程を経てICが製造される。

【0041】以上、説明した露光方法によって露光された配線パターンは、次に示すような効果がある。以下、この発明の好ましい実施形態としての露光方法の効果等について図9～図11を用いて説明する。以下の説明では、代表として図10(A)、図10(B)、図11(A)及び図11(B)のようにそれぞれフォーカス対配線幅特性を示す図を用いて説明する。

【0042】図10(A)、図10(B)、図11

(A)及び図11(B)は、それぞれ横軸はフォーカスを示し、縦軸は配線幅(線幅)を示す。この露光方法では、フォーカスはある1点にのみ固定して露光が行われているものとする。また、縦軸方向に延びている点線22は、露光装置において予め設定されたフォーカスを示しており、実際の露光時のフォーカス条件である。

【0043】図11中の○で示された部分が、実際の露光量とフォーカスとしての露光条件で露光されたものであり、○と点線22との切片の値が仕上がり配線幅(寸法)となり、図8で示される任意の1ロットの線幅結果と同義である。ここで、この露光方法の露光量変動した場合には、図3(C)及び図4(C)に示されるのと

同様の特性に従って配線幅特性 24、26 が変化が現れる。

【0044】感度変動のみが発生した場合

図 10 (A) は、感度変動のみが発生した場合のフォーカス対配線幅特性を示している。図 10 (B) は、感度変動のみが発生した場合の露光条件の補正後の結果についてのフォーカス対配線幅特性を示している。

【0045】感度が変動した場合には、従来の露光条件と同様の方法によって補正している。図 10 (A) において、目標線幅と実際に露光された配線幅の結果 (O で示した所) に差が発生して線幅規格下限値を越えており、露光量による補正值 ΔE を補正すれば、図 10 (B) のように示されるように密なパターンの特性 k 及び疎なパターン特性 j 共に上方向に推移し、目標線幅に追い込むことができる。

【0046】感度変動とフォーカス変動が発生した場合

図 11 (A) は、露光された結果の感度変動及びフォーカス変動が発生した場合についてのフォーカス対配線幅特性を示している。図 11 (B) は、露光された結果の感度変動及びフォーカス変動が発生した場合の露光条件の補正後の結果についてのフォーカス対配線幅特性を示している。

【0047】図 11 (A) は、露光された結果の感度変動及びフォーカス変動が発生した場合の配線パターンについてのフォーカス対配線幅特性を示している。図 11 (B) は、露光された結果の感度変動及びフォーカス変動が発生した場合にフォーカスの補正量 ΔF と露光量の補正量 ΔE によって補正後の結果についてのフォーカス対配線幅特性を示している。

【0048】図 11 (A) のようなフォーカスの補正量 ΔF と露光量の補正量 ΔE を別々に検出してそれぞれ補正を行うため、疎な露光パターン及び密な露光パターン共に配線パターンの配線幅を目標線幅に追い込むことができる。また、従来、配線パターンの配線幅特性が悪かったフォーカスの変動に対しても補正を行うことでより安定した領域に推移させ、露光した配線パターンの配線幅の安定性を向上させることができる。

【0049】この発明の実施形態によれば、ウェハ W H に露光パターンを露光する場合において、1 C の配線パターンの配線幅を目標とする寸法となるように露光するのに最適な補正量を事前に算出することなく、フォーカスや感度が変動したときにこの変動量を別々に検出することができる。また、これらの検出結果によって別々に露光条件の補正を行うことができる。

【0050】ところでこの発明は上述した実施形態に限定されるものではない。上述した露光方法では、2つの管理パターンを使用しているが、3つ以上の管理パターンを用いてもよい。図 9 のフローチャートでは、フォーカス及び露光量それぞれが変動した場合に、露光量を先に検出しているがフォーカスを先に検出しても同様に補

正を行うことができる。また、この発明の好ましい実施形態としての半導体装置の製造方法は、予め決められた露光パターンを対象物に転写するような半導体装置の製造方法以外のものにも応用することができる。

【0051】

【発明の効果】以上説明したように、この発明によれば、半導体装置の配線パターンの配線幅を目標とする寸法となるように露光するのに最適な補正量を事前に算出することなく、焦点位置及び感度のそれぞれの変動を分離検出して露光条件を補正することで目標とする配線幅の配線パターンを露光し、さらに焦点位置及び感度の傾向を精度よく管理して配線パターンの密集度の異なる配線パターンを精度良く露光して半導体装置の生産効率を向上することができる。

【図面の簡単な説明】

【図 1】集積回路が露光されたウェハの全体を示す平面図。

【図 2】図 1 のウェハの拡大図を示す平面図。

【図 3】図 1 の管理パターンの一例としての第 1 露光パターンの拡大平面図及び特性を示す図。

【図 4】図 1 の管理パターンの一例としての第 2 露光パターンの拡大平面図及び特性を示す図。

【図 5】図 1 の管理パターンの一例としての第 3 露光パターンの拡大平面図及び特性を示す図。

【図 6】図 1 の管理パターンの一例としての第 4 露光パターンの拡大平面図及び特性を示す図。

【図 7】図 1 の管理パターンの一例としての第 5 露光パターンの拡大平面図及び特性を示す図。

【図 8】図 5 の第 3 露光パターン及び図 6 の第 4 露光パターンを露光した場合のロット毎の配線パターンの配線幅を示す図。

【図 9】この発明の好ましい実施形態としての半導体装置の製造方法の一例を示すフローチャート。

【図 10】フォーカスに対する配線幅の特性を示す図。

【図 11】フォーカスに対する配線幅の特性を示す図。

【図 12】従来の半導体装置の製造方法を示すフローチャート。

【図 13】図 12 の露光方法により露光した場合のロット毎の配線幅を示す図。

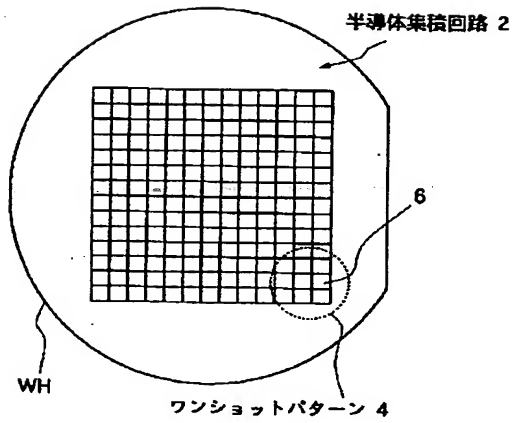
【図 14】フォーカスに対する配線幅の特性を示す図。

【符号の説明】

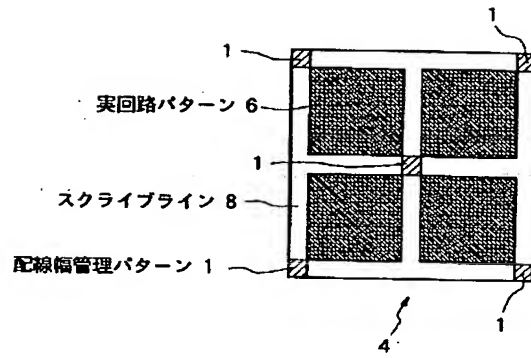
1・・・管理パターン、16・・・第 3 管理パターン (第 2 露光管理パターン)、18・・・第 4 管理パターン (第 1 露光管理パターン)、ST1・・・ステップ (第 1 ステップ)、ST2・・・ステップ (第 2 ステップ)、ST3・・・ステップ (第 3 ステップ)、ST6・・・ステップ (第 4 ステップ)、ST8・・・ステップ (第 5 ステップ)、ST9・・・ステップ (第 6 ステップ)、ST10・・・ステップ (第 5 ステップ、第 6 ステップ)、W・・・配線幅、WH・・・ウェハ (半

導体基板)

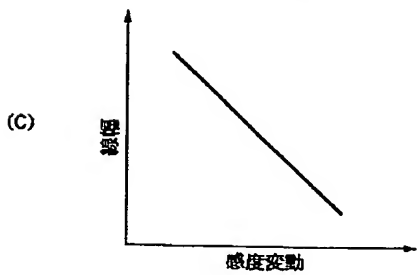
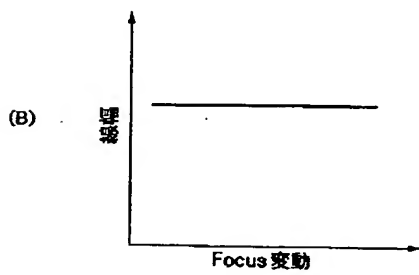
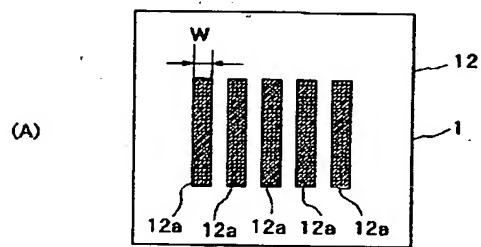
【図 1】



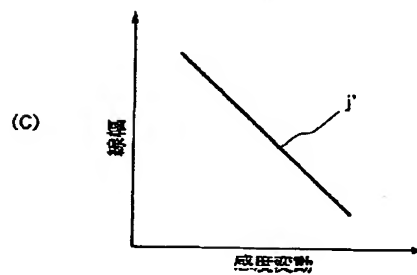
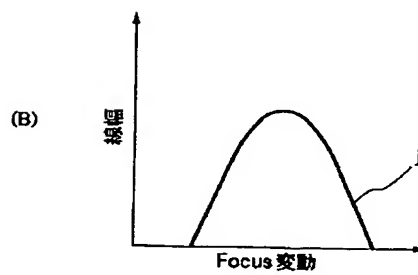
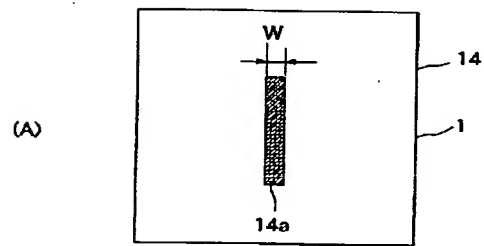
【図 2】



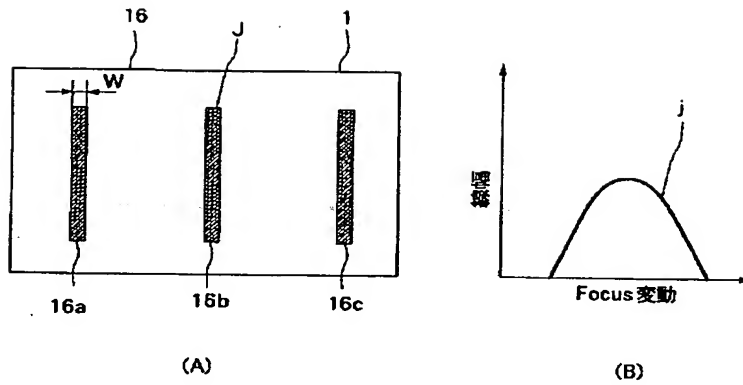
【図 3】



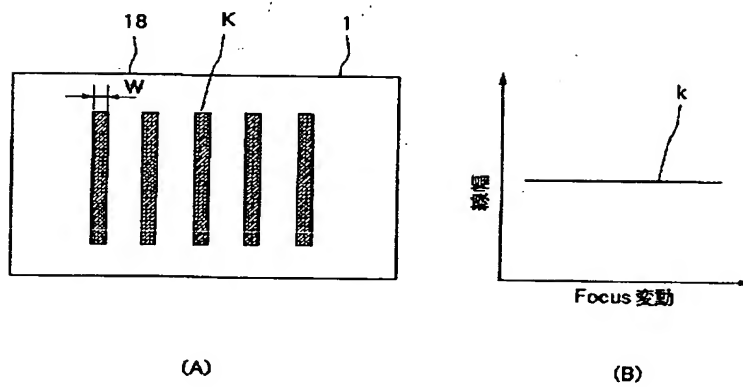
【図 4】



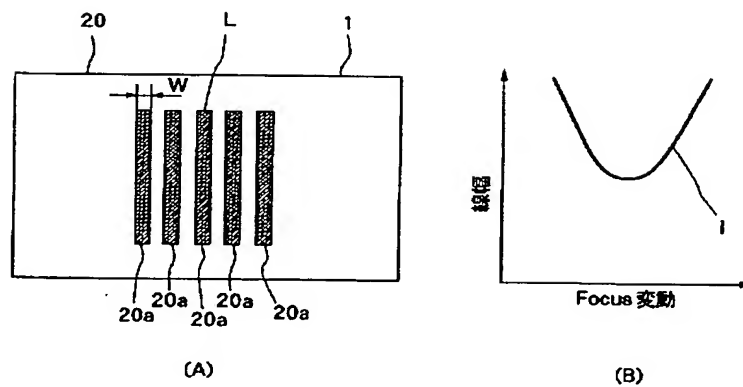
【図 5】



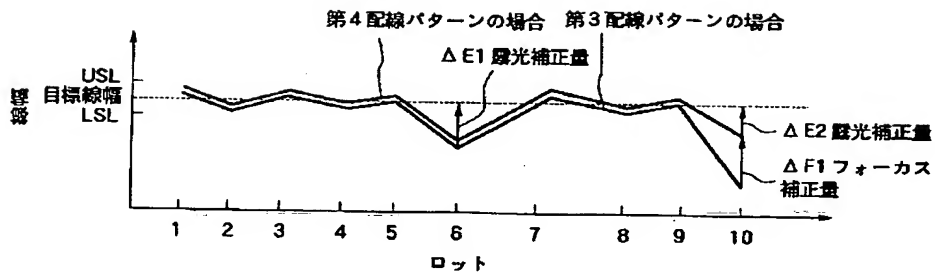
【図 6】



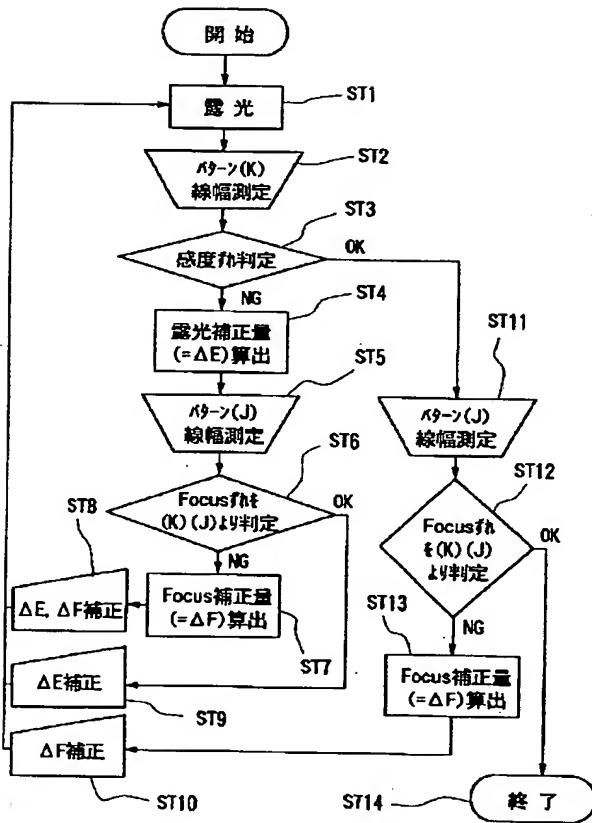
【図 7】



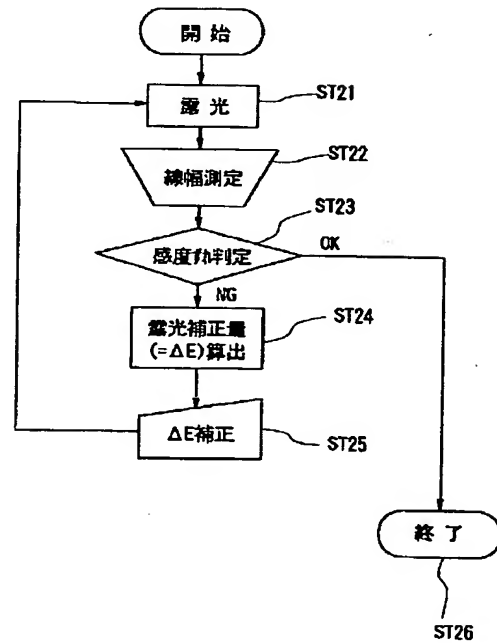
【図 8】



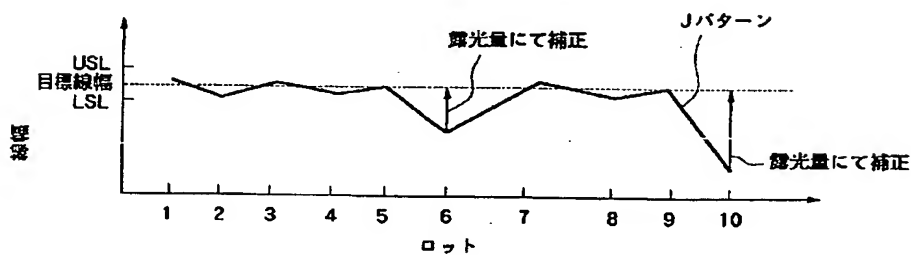
【図 9】



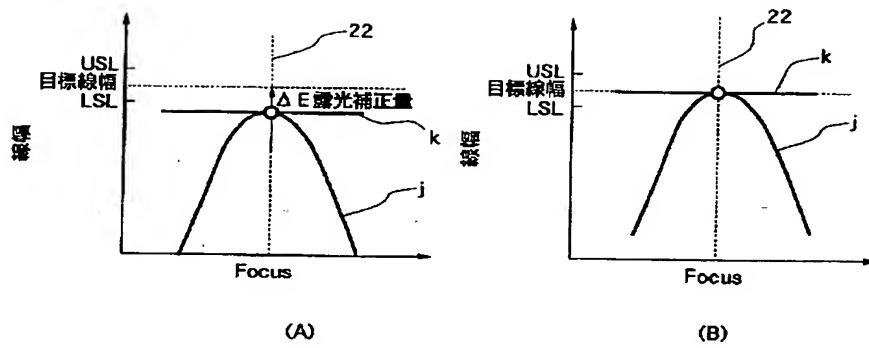
【図 12】



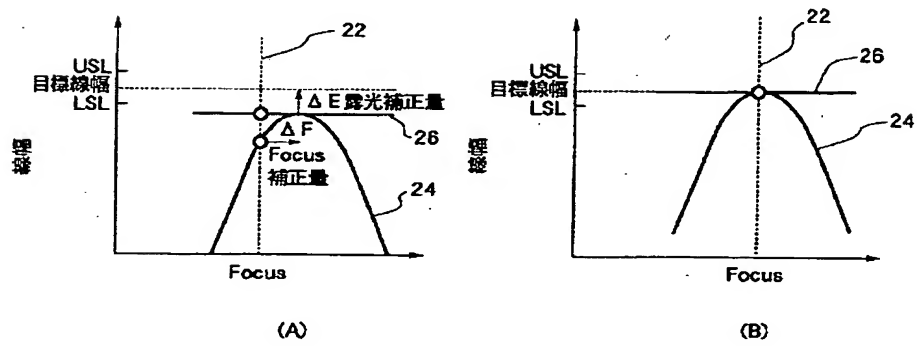
【図 14】



【図 10】



【図 11】



【図 13】

